

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-312669
 (43)Date of publication of application : 02.12.1997

(51)Int.Cl. H04L 12/56
 G10H 1/00
 H04L 7/00

(21)Application number : 08-147808

(71)Applicant : YAMAHA CORP

(22)Date of filing : 20.05.1996

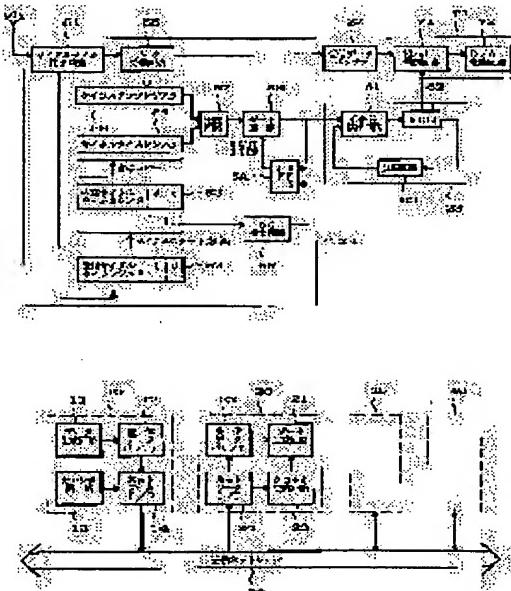
(72)Inventor : FUJIMORI JUNICHI
 INAGAKI YOSHIHIRO

(54) DATA TRANSMISSION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a jump of a count value due to deviation of a clock oscillation circuit by providing a reception node which controls a read of pieces of data according to clocked time data on a part corresponding to the clocked time of a 1st clock as to synchronized clocked time data.

SOLUTION: When a crystal oscillator in a transmission-side node 10 oscillates at a frequency a little higher than that of a crystal oscillator in a reception-side node 20, the counting operation of an internal cycle time counter 53 is gradually delayed and the count value becomes smaller than the value of cycle start data X. Namely, delay is caused. The value of the counter 53 should be extracted at a point 326.00 of time, but extracted at a point 325.75 of time. At the point of time, the counter 53 is rewritten to 326.00, and counted up thereafter corresponding to the clock of the internal crystal oscillator. The value of a cycle time register 54 is one clock faster than the internal clock, but the advance is absorbed by the operation of a clock generating circuit 23. Further, an advance is also adjusted as well.



LEGAL STATUS

[Date of request for examination] 20.08.1999

[Date of sending the examiner's decision of rejection] 04.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3463460

[Date of registration] 22.08.2003

[Number of appeal against examiner's decision] 2003-03754

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-312669

(43)公開日 平成9年(1997)12月2日

(51) Int.Cl. ⁶ H 04 L 12/56 G 10 H 1/00 H 04 L 7/00	識別記号 9466-5K	庁内整理番号 F I H 04 L 11/20 G 10 H 1/00 H 04 L 7/00	技術表示箇所 102Z Z B
---	-----------------	---	--------------------------

審査請求 未請求 請求項の数1 FD (全8頁)

(21)出願番号 特願平8-147808
(22)出願日 平成8年(1996)5月20日

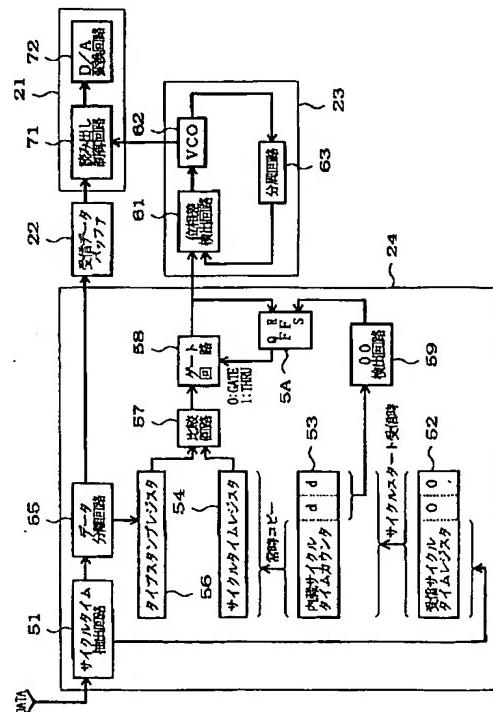
(71)出願人 000004075
ヤマハ株式会社
静岡県浜松市中沢町10番1号
(72)発明者 藤森 潤一
静岡県浜松市中沢町10番1号 ヤマハ株式会社内
(72)発明者 稲垣 芳博
静岡県浜松市中沢町10番1号 ヤマハ株式会社内
(74)代理人 弁理士 飯塚 義仁

(54)【発明の名称】 データ伝送方式

(57)【要約】

【課題】 擬似的同期方式において、各ノード毎に設けられたクロック発振回路の発振周波数のずれによって生じるカウント値の飛び越しを無くし、データを正確に再現できるようにする。

【解決手段】 擬似的同期方式によるデータ伝送方式は、内蔵された発振回路の発生するクロックに従ってそれぞれ非同期で動作する複数のノードが接続された通信ネットワーク上で、複数のノードの中のある1つのノードが通信ネットワーク上に基準信号を送信し、他の1つのノードがその基準信号に対する経過時間を示すタイムデータと共に時系列的な配列を有する複数のデータ列を送信することによって、複数のノード間で同期通信が行えるように構成されている。送信ノードは、第1のクロックの2倍以上の周波数の第2のクロックに従って計時時間データを発生し、送信ノードからのタイムデータの入力に応じて計時時間データの全ビットをタイムデータに同期化し、同期化された計時時間データのうち第1のクロックの計時時間に相当する部分の計時時間データに基づいて複数のデータの読み出しを制御する。



【特許請求の範囲】

【請求項1】 内蔵された発振回路の発生するクロックに従ってそれぞれ非同期で動作する複数のノードが接続された通信ネットワーク上で、前記複数のノードの中のある1つのノードが基準信号を前記通信ネットワーク上に送信し、前記複数のノードの中の他の1つのノードが前記基準信号に対する経過時間を示すタイムデータと共に時系列的な配列を有する複数のデータ列を送信することによって、前記複数のノード間で同期通信が行えるように構成されたデータ伝送方式において、
 第1のクロックに従って前記タイムデータ及び前記複数のデータ列を送信する送信ノードと、
 前記第1のクロックの2倍以上の周波数の第2のクロックに従って計時時間データを発生し、前記送信ノードからの前記タイムデータの入力に応じて前記計時時間データの全ビットを前記タイムデータに同期化し、同期化された計時時間データのうち前記第1のクロックの計時時間に相当する部分の計時時間データに基づいて前記複数のデータの読み出しを制御する受信ノードとを具備することを特徴とするデータ伝送方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、デジタルオーディオデータなどのように所定周期で時系列的に変化するデータを通信ネットワークを介して伝送するデータ伝送方式に係り、特に専用の同期信号線を設けなくても、伝送されたデータに基づいて受信側で時系列的な変化の状態を考慮した形で正確に元のデータを再現することができるよう構成されたデータ伝送方式に関する。

【0002】

【従来の技術】ネットワークを介したデータ伝送方式には、大別すると、同期方式と非同期方式がある。一般に同期方式は、送信側と受信側との間を専用の同期信号線などを設け、それに同期するようにしてデータを伝送しているので、受信側は送信されてきたデータに基づいて元のデータを正確に再現することができる。従って、同期方式のデータ伝送方式は、受信側における情報の時間的位置の正確な再現が要求されるデジタルオーディオデータなどの伝送に適した方式である。しかし、別途同期信号線を設けたり、送受信間で同期をとるための構成が必要である。また、同期方式による通信中はそのためだけに回線が専用されるため、通信方式としての汎用性に欠けるという欠点があった。これに対して、非同期方式は、専用の同期信号線などを確保する必要がないため、パソコン通信などのように文字データや静止画データを送信する場合などに適している。しかしながら、非同期方式で採用しているパケット送信では、データ本来の時間的な位置の情報が欠落してしまうことになるので、デジタルオーディオデータなどの伝送には適していない。

【0003】

【発明が解決しようとする課題】そこで、最近では各ノードが個別にクロック発振回路とそのクロックをカウントするクロックカウンタとを備え、送信側のノードがパケットデータの先頭にデータの時間的位置を示す時間データ（タイムスタンプ）を付与してネットワーク上にデータを伝送し、受信側のノードがその時間データと内部のクロックカウンタのカウント値を比較し、両者が不一致の場合にそのカウント値を時間データで補正し、補正されたクロックカウンタのカウント値に基づいてデータを順次再生するという擬似的な同期方式を採用するようになった。このような擬似的な同期通信方式を規定したものとして、例えばIEE E 1394がある。すなわち、この擬似的同期方式では、各ノードのクロック発振回路が完璧に同じ周波数で発振するとは限らず、ある程度の誤差が存在することを認めた上で、その誤差によるずれを同期タイミング毎すなわち時間データを受信する毎にその時間データに合わせて、クロックカウンタのカウント値を修正するという手法を採用している。このカウント値を修正する場合、カウント値として同じ値を繰り返したり、プラス方向に飛ばしたりすることは認めるが、マイナス方向に逆戻りさせることだけは認めないというルールに従っている。このようなルールに従って、デジタルオーディオデータなどを伝送されたデータに基づいて受信側で時系列的な変化の状態を考慮した形で正確に元のデータとして再現する際に、カウント値がプラス方向に飛ぶと、飛んだ分のデータの読み出しが行われなかったり、最悪の場合飛んだ分のデータがタイムスタンプによって指定されていた場合にはそれ以降のパケットデータの再生が正しく行われなくなるという問題が生じた。また、プラス方向への飛び越しを認めていたために、クロックを生成するための回路が複雑になってしまふという問題もあった。この発明は上述の点に鑑みてなされたもので、擬似的同期方式において、各ノード毎に設けられたクロック発振回路の発振周波数のずれによって生じるカウント値の飛び越しを無くし、データを正確に再現することのできるようにしたデータ伝送方式を提供するものである。

【0004】

【課題を解決するための手段】この発明に係るデータ伝送方式は、内蔵された発振回路の発生するクロックに従ってそれぞれ非同期で動作する複数のノードが接続された通信ネットワーク上で、前記複数のノードの中のある1つのノードが基準信号を前記通信ネットワーク上に送信し、前記複数のノードの中の他の1つのノードが前記基準信号に対する経過時間を示すタイムデータと共に時系列的な配列を有する複数のデータ列を送信することによって、前記複数のノード間で同期通信が行えるように構成されたデータ伝送方式において、第1のクロックに従って前記タイムデータ及び前記複数のデータ列を送信

する送信ノードと、前記第1のクロックの2倍以上の周波数の第2のクロックに従って計時時間データを発生し、前記送信ノードからの前記タイムデータの入力に応じて前記計時時間データの全ビットを前記タイムデータに同期化し、同期化された計時時間データのうち前記第1のクロックの計時時間に相当する部分の計時時間データに基づいて前記複数のデータの読み出しを制御する受信ノードとを具備することを特徴とする。

【0005】通信ネットワークに接続された複数のノードの中の1つが送信ノードとなり、他の1つが受信ノードとして動作する場合、送信ノードは第1のクロックに従ってタイムデータと複数のデータ列を通信ネットワーク上に送信する。そして、受信ノードは第1のクロックの2倍以上の周波数である第2のクロックに従って計時時間データを発生する。例えば、第2のクロックが第1のクロックの4倍の周波数であれば、受信ノードの計時時間データの分解能も4倍となる。従って、受信ノードはタイムデータの入力に応じて計時時間データの全ビットをタイムデータに同期化しているので、送信ノードと受信ノードのそれぞれの発振回路の発振周波数が徐々にずれた場合でも、そのずれは第1のクロックの周期の4分の1程度に抑えることができる。第2のクロックの周波数を8倍にすれば、8分の1程度に抑えることができる。従来のように計時時間データが同じ値を繰り返したとしても、そのずれは第1のクロックの周期の4分の1程度であり、また、計時時間データがプラス方向に飛んだりすることはないと、ディジタルオーディオデータなどのような時系列的な変化の状態を考慮したデータを受信ノード側で正確に再現することができるという優れた効果がある。

【0006】

【発明の実施の形態】以下、添付図面を参照して、この発明の実施の形態を詳細に説明する。図2はこの発明に係るデータ伝送方式の一実施の形態の全体構成を示す概略プロック図である。図3はこのデータ伝送方式によって伝送されるデータの構成例を示す図である。なお、本明細書中では、前述のIEEE1394の通信方式に従ってデータ伝送が行われる場合を例に説明する。図では送信側ノード10、受信側ノード20、及びその他のノード30、40が通信ネットワーク90を介して接続されている場合を示す。以下では、説明の便宜上、送信側ノード10と受信側ノード20との間のデータ伝送についてだけ説明するが、これ以外にも多数のノードが接続されていてもよいし、送信側ノードと受信側ノードだけが接続されていてもよいし、送信側ノード10と受信側ノード20との結合されたもの同士（ノード30とノード40）のデータ伝送でもよいことは言うまでもない。この実施の形態では、ノード30が図3のようなノーマルサイクルピリオド $125\mu\text{sec}$ の同期信号（cycle sync）に対応したサイクルスタートパケット

信号を順次出力している場合において、送信側ノード10が図3のようなデータ列を通信ネットワーク90に送信し、そのデータ列9を受信側ノード20が受信して再現する場合について説明する。

【0007】送信側ノード10において、データ生成回路11は、図示していない内蔵の水晶発振器によって生成された所定周波数（例えば、周波数24.576MHz（周期約40ns））のクロックに応じて動作し、所定のサンプリング周期Tの時系列的な配列を持つ複数のデータを順次生成し、出力するもので、例えば、デジタルオーディオ信号の順次サンプルデータを出力する。例えば、データ生成回路11は、CD（コンパクトディスク）プレイヤーのようなオーディオ再生装置を含んでいてもよいし、あるいは楽音サンプルデータをリアルタイムで合成する楽音合成装置のようなものを含んでいてもよい。データ生成回路11から出力されるデータのサンプリング周期Tは、そのデータソースに応じて、適宜可変されるようになっていてもよい。

【0008】データ生成回路11から出力されたデータは、その時系列順に送信データバッファ12に一時的に記憶される。送信データバッファ12は非同期で入出力動作するバッファレジスタである。カウンタ回路13は、タイムスタンプデータすなわち時間データを作成するもので、図示していない水晶発振器によって生成された所定周波数のクロックをカウントする32ビット構成のランニングカウンタのようなものである。ネットワークインターフェイス14は、所定の送信割り込み周期（前述のノード30の出力する同期信号（cycle sync））に同期して送信データバッファ12に一時的に記憶してあるデータを基にして図3のような1アイソクロノスサイクル（isochronous cycle）に相当するデータ列9（以下「サイクルパケット列」とする）を構成し、それを通信ネットワーク90に送信する。

【0009】サイクルパケット列9は図3に示すように、サイクルスタートパケット91と同期データパケット群92と非同期データパケット群93とから構成される。サイクルスタートパケット91は、32ビットで構成され、その上位20ビットがそのサイクルパケット列9のサイクルタイミングを示すデータであり、下位12ビットがそのサイクルパケット列9が通信ネットワーク90上の同期信号（cycle sync）からどれだけの時間遅れで送信されたのかを示すサイクルスタートデータXを示すデータである。同期データパケット群92は擬似同期信号処理の対象となる複数P個のパケットデータで構成される。図では、一例としてチャンネルJからチャンネルNまでの5個の同期データパケットが示されている。この同期データパケットの数Pは任意に設定可能である。さらに、各同期データパケットは所定数Q個のデータと、その中のいずれか1つ（この実施の形

態では、最初のデータ) の時間位置を示すタイムスタンプデータとからなるグループを複数個有する。この実施の形態では、4個のデータと、1個のタイムスタンプで1つのグループが構成される。すなわち、図では、4個のデータD1～D4、D5～D8に対して1個のタイムスタンプデータT1、T2がそれぞれ設けられている。タイムスタンプデータT1は最初のデータD1の時間位置を、タイムスタンプデータT2はデータD5の時間位置をそれぞれ示す。従って、各同期データパケットは(Q+1)個のデータグループの整数倍で構成される。なお、デジタルオーディオデータを通信する関係上、データがQ個に満たなくても送信する場合があるがこれについては詳細説明を省略する。非同期データパケット群93は非同期信号処理の対象となる複数R個のパケットデータで構成される。図では一例としてパケットB及びパケットCの2個のパケットデータが示されている。なお、非同期データパケットは存在していなくてもよい。

【0010】受信側ノード20において、ネットワークインターフェイス24は通信ネットワーク90を介して送信してきたサイクルパケット列9を受信し、それを受信した順番で時系列的に受信データバッファ22に一時的に記憶する。受信データバッファ22は、非同期で入出力動作するバッファレジスタである。クロック生成回路23は、受信したサイクルパケット列9のサイクルスタートパケットの中のサイクルスタートデータXに基づいて、送信側ノード10のデータ生成回路11から供給されたデータと同じオリジナルのサンプリング周期Tを再現するものである。データ生成回路21は、クロック生成回路23から与えられる再現されたサンプリング周期Tに従い、受信データバッファ22に一時的に記憶されているデータを順次読み出して再生する。読み出されたデータは適宜利用される。再生されたデータを如何なる形態で利用するかは、任意である。例えば、そのままD/A変換してからスピーカ等から発音するようにしてもよいし、あるいは、エフェクト等の処理を施してからスピーカ等から発音する若しくは処理済みのデータを外部に送出するようにしてもよい。

【0011】受信側ノード20の詳細構成を図1を用いて説明する。図1において、サイクルタイム抽出回路51は、送信してきたサイクルパケット列9の中からサイクルスタートパケット91を抽出し、そのサイクルスタートパケットデータを受信サイクルタイムレジスタ52に出力し、残りの同期データパケット群92及び非同期データパケット群93をデータ分離回路55に出力する。受信サイクルタイムレジスタ52は、34ビット構成のレジスタであり、下位2ビットには『00』の定数を予め格納しており、その上位32ビットにサイクルタイム抽出回路51によって抽出された32ビット構成のサイクルスタートパケットデータを一時的に記憶すると

共に34ビット構成のデータをそのまま内蔵サイクルタイムカウンタ53に転送する。内蔵サイクルタイムカウンタ53は、受信ノード20に内蔵されている水晶発振器から出力される発振周波数98.304MHz(周期約10nsec)のクロックをカウントする34ビット構成のカウンタであり、受信サイクルタイムレジスタ52から転送されて来るデータによって順次内容が書き換えられる。なお、受信サイクルタイムレジスタ52と内蔵サイクルタイムカウンタ53との34ビットのカウント値が異なる場合にだけ、内蔵サイクルタイムカウンタ53の値を書き換えるようにしてもよい。サイクルタイムレジスタ54は、内蔵サイクルタイムカウンタ53の上位32ビットのカウント値を常時記憶するものである。従って、内蔵サイクルタイムカウンタ53の上位32ビットのカウント値が変化したり、書き換えられた場合には、それに応じてサイクルタイムレジスタ54の値も変更される。これら受信サイクルタイムレジスタ52、内蔵サイクルタイムカウンタ53及びサイクルタイムレジスタ54の関係を図示すると、図4のようになる。図から明らかのように受信サイクルタイムレジスタ52の34ビットデータがそのまま内蔵サイクルタイムカウンタ53に出力され、内蔵サイクルタイムカウンタ53の上位32ビットデータがそのままサイクルタイムレジスタ54に出力されるという関係になる。

【0012】データ分離回路55は、同期データパケットを構成するパケットデータの中からタイムスタンプデータを抽出し、そのタイムスタンプデータをタイムスタンプレジスタ56に出力し、残りのデータを受信データバッファ22に出力する。例えば、図3のように、4個のデータD1～D4に対して1個のタイムスタンプデータT1が設けられている場合には、最初のタイムスタンプデータT1がタイムスタンプレジスタ56に出力され、残りのデータD1～D4が受信データバッファ22に出力される。なお、データ分離回路55は非同期データパケット群のパケットデータに対しては何も行わず、受信データバッファ22にデータをそのまま転送する。タイムスタンプレジスタ56はデータ分離回路55によって分離されたタイムスタンプデータT1を一時的に格納する。比較回路57は、サイクルタイムレジスタ54とタイムスタンプレジスタ56との格納値を比較し、両者が一致した場合に一致信号(クロック信号)をゲート回路58を介してクロック生成回路23の位相差検出回路61に出力する。

【0013】ゲート回路58は、フリップフロップ回路5Aの出力がハイレベル“1”の時に比較回路57から出力される一致信号を位相差検出回路61にそのまま出力するスルー状態となり、フリップフロップ回路5Aの出力がローレベル“0”的に比較回路57の出力を遮断するゲート状態となる。検出回路59は、内蔵サイクルタイムカウンタ53の下位2ビットの値が『00』に

なったかどうかを検出し、『00』になった時点でフリップフロップ回路5Aのセット端子Sにセット信号を出力し、フリップフロップ回路5Aの出力Qをハイレベル“1”にセットする。フリップフロップ回路5Aは、セット端子Sに検出回路59からの検出信号を、リセット端子Rにゲート回路58を介して比較回路57の一一致信号を入力し、その出力Qをゲート回路58のゲート制御端子に出力する。

【0014】クロック生成回路23は、位相差検出回路61、VCO62及びQ分の1の分周回路63から構成されるPLL回路であり、ゲート回路58を介して入力する比較回路57からの一致信号に基づいて動作する。ここで、Qは、前述のように同期データパケットの1グループを構成するデータ数である。従って、データ数Qが4個の場合に、分周回路には4分の1分周器を、8個の場合には分周回路には8分の1分周器を用いる。データ生成回路21は、読み出し制御回路71及びD/A変換回路72から構成される。読み出し制御回路71は、クロック生成回路23のVCO62からのクロックに同期して、受信データバッファ22に格納してあるデータを順次読み出し、それをD/A変換回路72に出力する。D/A変換回路65は読み出し制御回路71によって読み出されたデータをアナログ信号に変換する。

【0015】以下、図1の受信側ノード20の動作を図5を用いて説明する。図5は、縦軸に時間経過を示し、その時間経過における受信サイクルタイムレジスタ52、内蔵サイクルタイムカウンタ53及びサイクルタイムレジスタ54のそれぞれの値の変化の様子を示すものである。図5(A)は、送信側ノード10の内蔵の水晶発振器が受信側ノード20の内蔵の水晶発振器よりも若干大きな周波数で発振している場合を示し、図5(B)は、逆に送信側ノード10の内蔵の水晶発振器が受信側ノード20の内蔵の水晶発振器よりも若干小さい周波数で発振している場合を示す。

【0016】まず、図5(A)の場合について説明する。送信側ノード10の内蔵の水晶発振器が受信側ノード20の内蔵の水晶発振器よりも若干大きな周波数で発振すると、内蔵サイクルタイムカウンタ53のカウント動作が徐々に遅れて、そのカウント値が受信したサイクルスタートパケットに含まれる下位12ビットのサイクルスタートデータXの値よりも小さくなる。このような場合を遅れが生じた状態という。すなわち、『326』のサイクルスタートデータXを含むサイクルスタートパケットは本来内蔵サイクルタイムカウンタ53の値が『326.00』の時点t4で、サイクルタイム抽出回路51によって抽出されなければならないが、遅れが生じた状態では、サイクルタイムカウンタ53の値が『325.75』の時点t3で抽出される。従って、そのサイクルスタートデータXの抽出された時点t3で内蔵サイクルタイムカウンタ53の値は『326.00』に書き換えられ、これ以降は内蔵の水晶発振器のクロックに応じて順次カウントアップが行われる。この進みが生じた状態の場合には内蔵サイクルタイムカウンタ53のデータ書き換え処理に応じてサイクルタイムレジスタ54の値は変化しないが、検出回路59によって内蔵サイクルタイムカウンタ53の下位2ビットの値が『00』になったことが検出される。すなわち、検出回路59は時点t2と時点t1の短時間の間に『00』を検出し、フリップフロップ回路5Aのセット端子Sにセット信号を出力し、フリップフロップ回路5Aの出力Qをハイレベル“1”にセットするようになるので、比較回路57からも同じように短時間の間に連続して一致信号が

き換えられ、これ以降は内蔵の水晶発振器のクロックに応じて順次カウントアップが行われる。このような内蔵サイクルタイムカウンタ53のデータ書き換え処理に応じてサイクルタイムレジスタ54の値は内蔵の水晶発振器の1クロック分だけ進んで変化するようになる。そして、比較回路57から出力される一致信号の出力タイミングも若干長くなるが、それはクロック生成回路23すなわちPLL回路の動作に吸収される。なお、小数点以下の数字は2ビットで表現されているので、図では『.00』、『.25』、『.50』及び『.75』のように表示している。

【0017】次に、図5(B)の場合について説明する。送信側ノード10の内蔵の水晶発振器が受信側ノード20の内蔵の水晶発振器よりも若干小さな周波数で発振すると、今度は内蔵サイクルタイムカウンタ53のカウント動作が徐々に進み、そのカウント値が受信したサイクルスタートパケットに含まれる下位12ビットのサイクルスタートデータXの値よりも大きくなる。このような場合を進みが生じた状態という。すなわち、『325』のサイクルスタートデータXを含むサイクルスタートパケットは本来内蔵サイクルタイムカウンタ53の値が『325.00』の時点t1で、サイクルタイム抽出回路51によって抽出されなければならないが、進みが生じた状態では、サイクルタイムカウンタ53の値が『325.25』の時点t2で抽出される。従って、そのサイクルスタートデータXの抽出された時点t2で内蔵サイクルタイムカウンタ53の値は『325.00』に書き換えられ、これ以降は内蔵の水晶発振器のクロックに応じて順次カウントアップが行われる。この進みが生じた状態の場合には内蔵サイクルタイムカウンタ53のデータ書き換え処理に応じてサイクルタイムレジスタ54の値は変化しないが、検出回路59によって内蔵サイクルタイムカウンタ53の下位2ビットの値が『00』になったことが検出される。すなわち、検出回路59は時点t2と時点t1の短時間の間に『00』を検出し、フリップフロップ回路5Aのセット端子Sにセット信号を出力し、フリップフロップ回路5Aの出力Qをハイレベル“1”にセットするようになるので、比較回路57からも同じように短時間の間に連続して一致信号がクロック生成回路23に出力されるが、この場合もこのクロック生成回路23すなわちPLL回路の動作に吸収され、影響はない。このような内蔵サイクルタイムカウンタ53のデータ書き換え処理に応じてサイクルタイムレジスタ54の値は内蔵の水晶発振器の1クロック分だけ遅れて変化するようになる。そして、比較回路57から出力される一致信号の出力タイミングも若干ずれるが、それはクロック生成回路23すなわちPLL回路の動作に吸収される。上述の実施の形態によれば、内蔵サイクルタイムカウンタ53の飛びをなくせるので、タイムスタンプレジスタとサイクルタイムレジスタ54との

9

比較回路が簡単に構成できると共にディジタルオーディオデータのジッタ量を小さくすることができる。また、内蔵サイクルタイムカウンタ53が小数部で補正されるようになるので、ディジタルオーディオデータのジッタは時間軸上に分散されるので、クロック生成回路23すなわちPLL回路でフィルタリングし易くなる。

【0018】なお、上述の実施の形態では、同期データパケットの1グループを構成するデータ数が4個の場合について説明したが、これに限らず、3以上の値であればよい。更にはQを2のべき乗の値とすれば、割算演算を簡単化できるので、好ましい。また、タイムスタンプデータの付加されていないデータに対して、それぞれ固有の時間データを付加する処理を行い、各データ毎の固有の時間データを参照して再生読み出しを行うようにしてもよい。上述の実施の形態では、内蔵サイクルタイムカウンタに下位2ビットを追加して、カウントクロックを4倍にする場合について説明したが、別のレジスタなどを設けてもよい。また、上述の実施の形態では、受信側ノードが送信側ノードの4倍の周波数(9.8.304KHz)で動作する場合について説明したが、送信側ノードが受信側ノードと同じ周波数で動作し、通信ネットワーク上にデータを送信する場合に通常の周波数(2.4.576KHz)で送信するようにしてもよい。上述の実施の形態では、サイクルスタートパケットに含まれる下位12ビットのサイクルスタートデータXを受信したときに、内蔵サイクルタイムカウンタ53の値を受信サイクルタイムレジスタ52の値で書き換える場合について説明したが、同期データパケットを構成するパケットデータの中からタイムスタンプデータを抽出し、抽出されたタイムスタンプデータ毎に書き換え処理を行うようにもよい。

【0019】

10

【発明の効果】この発明によれば、擬似的同期方式において、各ノード毎に設けられたクロック発振回路の発振周波数のずれによって生じるカウント値の飛び越しを無くし、データを正確に再現することができるという優れた効果を奏する。

【図面の簡単な説明】

【図1】 図2の受信ノードの詳細構成を示す図。

【図2】 この発明に係るデータ伝送方式の一実施の形態の全体構成を示す概略ブロック図。

【図3】 この発明に係るデータ伝送方式によって伝送されるデータの構成例を示す図。

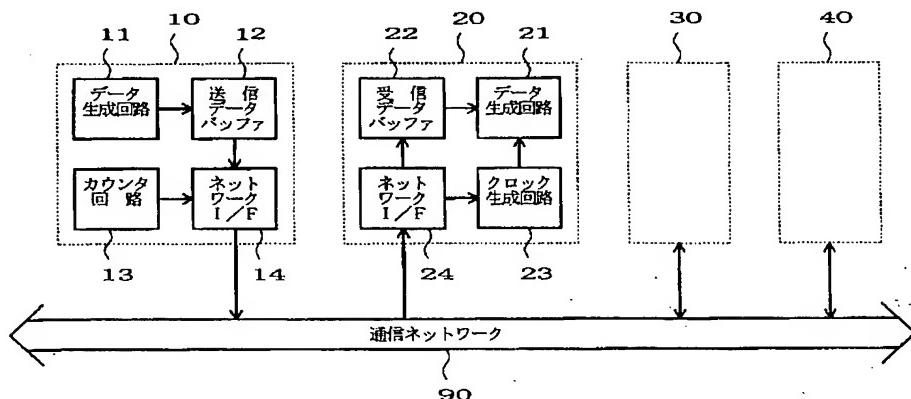
【図4】 図1の受信サイクルタイムレジスタ、内蔵サイクルタイムカウンタ及びサイクルタイムレジスタの関係を示す図。

【図5】 時間経過における受信サイクルタイムレジスタ、内蔵サイクルタイムカウンタ及びサイクルタイムレジスタのそれぞれの値の変化の様子を示す図。

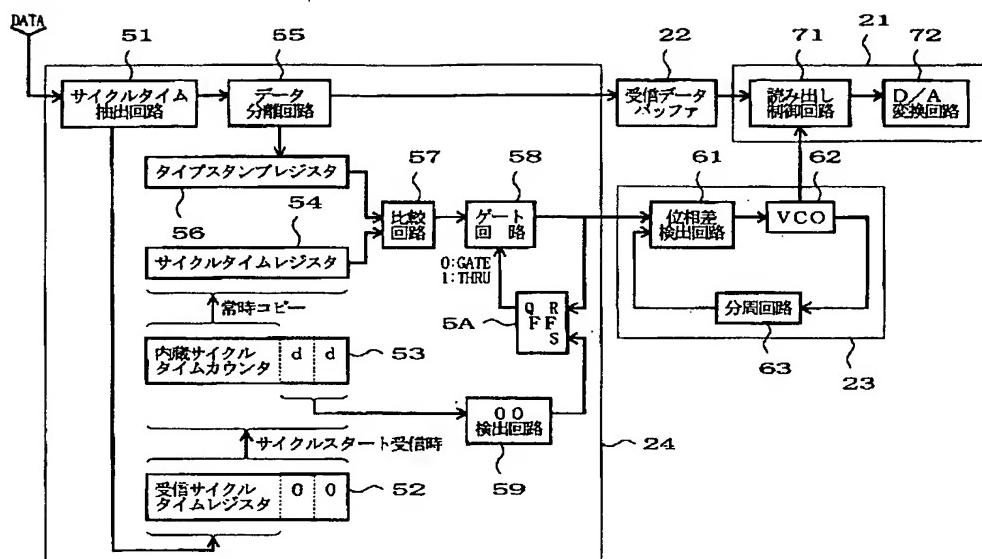
【符号の説明】

10 送信側ノード、11…データ生成回路、12…送
20 信データバッファ、13…カウンタ回路、14…ネット
データ生成回路、21…受信データバッファ、22…ク
ロック生成回路、23…ネットワークインターフェイ
ス、30、40…他のノード、90…通信ネットワー
ク、51…サイクルタイム抽出回路、52…受信サイ
クルタイムレジスタ、53…内蔵サイクルタイムカウン
タ、54…サイクルタイムレジスタ、55…データ分離
回路、56…タイムスタンプレジスタ、57…比較回
路、58…ゲート回路、59…検出回路、5A…フリッ
ップフロップ回路、61…位相差検出回路、62…VC
O、63…分周回路、71…読み出し制御回路、72…
D/A変換回路

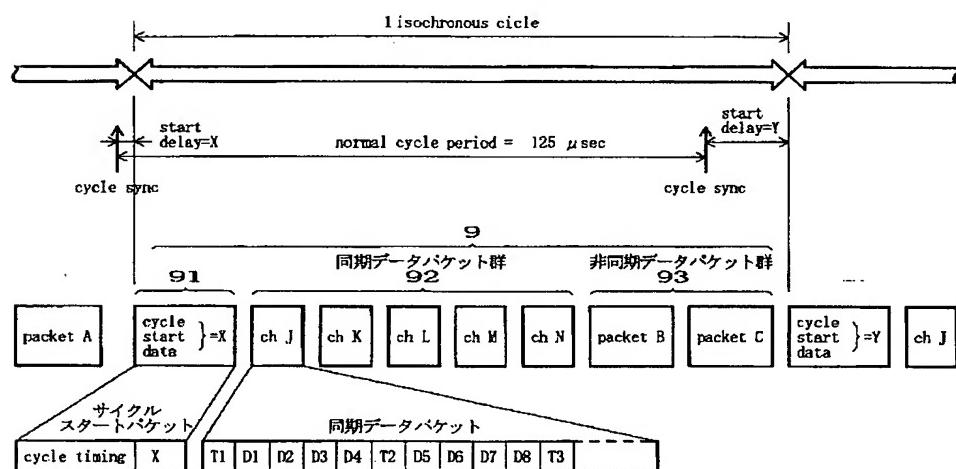
【図2】



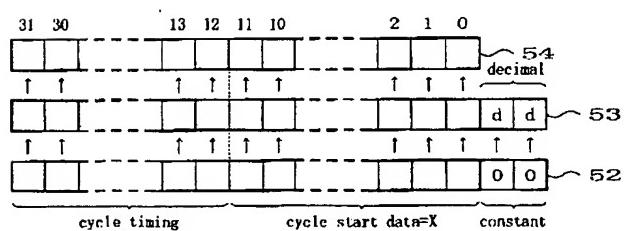
【図1】



【図3】



【図4】



【図5】

